

# CIRCUIT ELEMENT PACKAGE, AND CARRIER BOARD AND MANUFACTURE THEREOF

Publication number: JP2148862

Publication date: 1990-06-07

Inventor: SHIGI HIDETAKA; TAKENAKA TAKATSUGU;  
KOBAYASHI FUMIYUKI

Applicant: HITACHI LTD

Classification:

- International: H01L23/12; H01L23/498; H01L25/00; H05K1/16;  
H05K3/46; H01L23/12; H01L23/48; H01L25/00;  
H05K1/16; H05K3/46; (IPC1-7): H01L23/12; H01L25/00;  
H05K1/16; H05K3/46

- European: H01L23/498E

Application number: JP19880302396 19881130

Priority number(s): JP19880302396 19881130

Also published as:

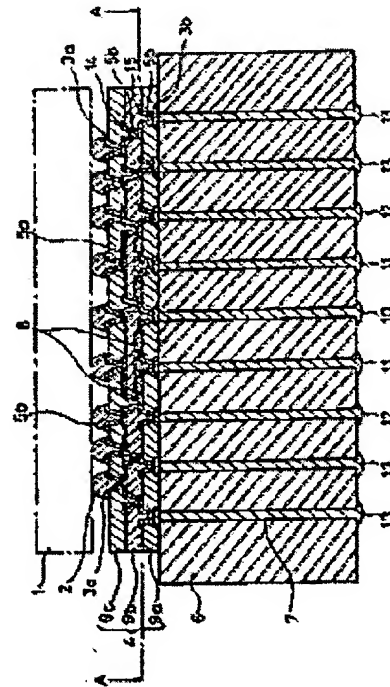
GB2225670 (A)  
DE3939647 (A)

Report a data error he

## Abstract of JP2148862

**PURPOSE:** To form a thin film circuit element having required accuracy without necessitating trimming by providing an electrode layer for connection to the circuit element on the topmost layer of insulating films, providing an element layer having the thin film circuit on any of other insulating films, and providing conductor wirings for connecting the electrode layer and external connecting terminals through the element layer.

**CONSTITUTION:** Insulating layers 9a, 9b and 9c are formed on an insulating board. A thin film circuit element such as a thin film resistor is formed thereon. Therefore, irregularities, warping and the like on the surface of the insulating board, e.g. a ceramic substrate 6 are absorbed with the insulating films. The thin film circuit element is formed without the effects of the roughness of the surface of the insulating board. Therefore, the circuit element having the desired constants can be formed accurately. As a result, correction such as trimming is not required. A wiring layer 14 for connecting an electrode layer for connecting the circuit element to be mounted and external connecting terminals 10-13 of the insulating board is provided in an aligned pattern. Even if the alignment of the terminals of the circuit element to be mounted does not agree with the alignment of the external connecting terminal of the insulating board, the connection can be achieved.





# (12) 发明专利申请公开说明书

[21] 申请号 89109771.6

[51] Int.Cl<sup>6</sup>

H01L 23/12

[43] 公开日 1990年6月27日

[22] 申请日 89.11.30

[30] 优先权

[32] 88.11.30 [33] JP [31] 302396/88

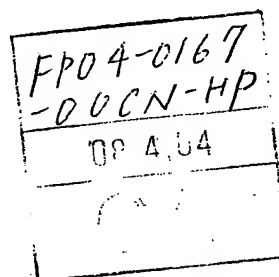
[71] 申请人 株式会社日立制作所

地址 日本东京都

[72] 发明人 志仪英考 竹中隆次  
小林二三幸

[74] 专利代理机构 中国专利代理有限公司  
代理人 曹济洪 程天正

H01L 27/01

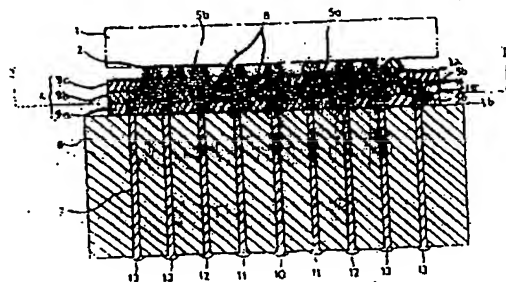


说明书页数: 11 附图页数: 2

[54] 发明名称 基座及其制造方法

[57] 摘要

一种基座, 包括一个有处连端头的绝缘体基片和一个设置在绝缘体基片上, 用以把在基片上安装的电路元件连接到外连端头的布线部分。布线部分含有许多绝缘膜层, 一个电极层设置在最高绝缘层上, 用于连接电路元件, 以及将导体设置在各绝缘层上, 为使电极层连到外连端头。可进一步将电路元件层设置在不是最高绝缘层的绝缘层上。电路元件层有由薄膜形成的电路元件。替换或添加电路元件层, 进一步还可设置一布线层。



1、一种基座包括一个带有外连端头的绝缘基片和一个设置在绝缘基片上，用来把安装在基座上的电路元件与外连端头相连接的布线部分；

所说的布线部分包括许多绝缘膜层，一个制作在最高绝缘层上的电极层，用来与电路元件相连接，一个电路元件层或多层制作在绝缘层或多层上，该绝缘层不同于所说的最高绝缘层，并有着由薄膜形成的电路元件，以及制作在绝缘膜层上的导体层，为了通过所说的电路元件层或多层，把所说的电极层连接到所说的外连端头。

2、一种基座包括一个带有外连端头的绝缘体基片和一个设置在绝缘体基片上用来把安装在基座上的电路元件与外连端头相连接的布线部分；

所说的布线部分包含许多绝缘膜层，一个电极层，制作在最高绝缘膜层上且有电路元件连接的电极，一个布线层，制作在任何其他的不是所说的最高绝缘层的绝缘层上，用来使电极层上的电极配置与把电极连接到端头的外连端头相配合，以及制作在绝缘层上的导体，为了通过所说布线层把电极层连接到外连端头。

3、一种基座包括一个有外连端头的绝缘体基片和一个设置在绝缘体基片上，用来将安装在基座上的电路元件与外连端头相连的布线部分；

所说的布线部分包含许多绝缘膜层，一个制作在最高绝缘层上的电极层，用来与电路元件相连接，一个电路元件层，制作在不同于所说最高绝缘层的绝缘层上，且有着薄膜形成的电路元件，一个布线层设置在电路元件层与电极层之间，用来使电极层上的电极配置与把电极连接到端头的外连端头相配合，以及制作在绝缘层上的导

体，为了通过所说布线层，将电极层连接到外连端头。

4、一种电路元件封装，其中电路元件安装在按照权利要求1的基座上，用以连接基座的电极层。

5、一种电路元件封装，其中电路元件安装在按照权利要求2的基座上，用以连接基座的电极层。

6、一种电路元件封装，其中电路元件安装在按照权利要求3的基座上，用以连接基座的电极层。

7、按照权利要求1的一种基座，其中薄膜电路元件是薄膜电阻元件。

8、按照权利要求3的一种基座，其中薄膜电路元件是薄膜电阻元件。

9、一种电路元件封装，其中所说的电路元件安装在按权利要求7的基座上，用以连接衬底的电极层。

10、按照权利要求1的一种基座，其中绝缘膜是由有机材料制作的。

11、按照权利要求2的一种基座，其中绝缘膜是由有机材料制作的。

12、一种按照权利要求3的基座，其中绝缘膜是由有机材料制作的。

13、一种制造基座的方法，包括一个具有外连端头的绝缘体基片和一个设置在绝缘体基片上，用以把安装在基座上的电路元件与外连用绝缘体基片的端头相连接的布线部分，该方法包括步骤：

备置布线部分：

在绝缘体基片上形成一绝缘膜层；

在绝缘膜层上，以膜方式形成电路元件；

在电路元件膜层上形成另一种绝缘膜层；

在所说的另一种绝缘膜层上形成一布线层，用来使安装于基座上的电路元件与绝缘基片的外连端头相连接，以实现其间的接线配合；

在布线层上进一步形成一层绝缘膜层；和

在所说的进一步绝缘膜上形成一电极层，用来与电路元件相连接；

以及

备置与各个绝缘膜层相关的通孔和线路导体。

## 基座及其制造方法

本发明一般涉及电路元件的组装，尤其涉及用于电路元件组装的基座及其制造方法，适用于封装大规模集成电路，如半导体集成电路。

近年来，电路，特别是在组装中，封装的半导体电路的密度越来越高，集成度越来越大，需要增加外部有用的脚针数量。为适应这些需求，已推荐半导体集成电路的倒装焊方法，其中把接头配置在芯片的各个表面上，而不像从前那样只把接头配置在芯片的四周表面。为迎合这个技术，因此将含有半导体集成电路的半导体组装的接头按网格引出。

按照上述方式的半导体封装，通常包括电路元件，例如半导体芯片，及安装该半导体芯片的基座。半导体封装中采用的基座，一般为陶瓷衬底，同时熔烧上高熔点金属制成。

另一方面，为了把电路连接到一计算机系统，采用了一个匹配的终端系统，在该匹配终端系统中，一个传输线接在电阻等于传输线特性阻抗的端头上，使之不致出现反射与驻波。

由于这个原因，当半导体集成电路安装在基座上时，终端电阻被布置在封装的半导体集成电路或芯片的四周，以影响传输线的终端。

已往采用的终端电阻都是分离电阻片。但因为这种分离电阻片本身存在着小尺寸的极限以及要求相当的面积或空间用于安装，这

就对缩小半导体集成电路封装尺寸的任务施加了严重的限制。故此，分离电阻片不很适用于达到增加封装密度的要求。换句话说，就采用分离电阻片来看，只能把数目有限的半导体集成电路封装或芯片装配到一电路印刷板上。

为解决这个问题，涉及终端的电阻片，且许可增加装配大量LSI的一种技术已公开在日本未审查的专利出版物(公开) NO. 58-19955 2上。

更详细地说，该出版物披露了一种电阻片，它包括一个绝缘体基片和制作在基片上的许多电阻元件，各个电阻元件的一端接到连接半导体芯片和一个电路板的通孔上，而各电阻元件的另一端则接到设置在印刷板上的一个电极薄层上。这些电阻元件制作在绝缘体基片上，例如用薄膜形成技术或厚膜形成技术做在陶瓷基片上，并且分别用导线连接到通孔。电阻元件制成后，其电阻值由激光修整加以调正。

按照该出版物披露的技术，如上所说预先制成这些电阻元件，而只留下那些为半导体芯片和/或配置在印刷板上的逻辑连线所需的电阻元件，用激光束切割连线，除去其余的电阻片。这些电阻片经焊接被连接到半导体芯片，且这样形成的组装件又焊接到印刷板加以使用。

但这种现有技术没有指教如何在印刷板上设置许多电阻元件。正如上面叙述过的那样，电阻元件的电阻率，例如，电阻系数在制造时，一定要经修整加以调整。更具体地说，以薄膜结构设置在一陶瓷基片上这种情况下的电阻元件，由于陶瓷基片表面的粗糙度或不规则性，该薄膜的电阻率会局部显著改变，这就需要调整电阻率。

然而，就薄膜方式制作电阻元件的情况来说，不可能保证电阻率的精度，也需要调整电阻率。

就此而论，还应注意到，近来的高集成半导体电路需有几百或甚至更多的电阻，这就很难分别测量各个电阻的电阻率，并对每个作出修整。

因此，像出版物中已披露的常规技术，事实上是不实际的，或甚至是不现实的。

这些常规技术还未曾公开所希望的电阻配置。尤其是，将电阻靠近通孔而设置，把印刷电路板连到安装其上的半导体芯片的技术没有披露。所以，如果集成度进一步增加，凸接物安置得更密，用以安装电阻的区域就会减小。这些会给电阻的尺寸和安装带来限制。

从上所说可以知道，把前面叙述过的技术用到基座上，实际上有一些困难。因此，任务是克服这些难点，以实现使用基座的电路封装。

所以，本发明的一个目的是提供一种能设置薄膜电路元件，例如，具有所需精度的电阻元件的基座及其制造方法。

本发明的另一个目的在于提供一种基座及其制造方法，该基座能设置电路元件。例如电阻元件，甚至当需要安装高集成度电路元件，在其上设置彼此密集的、用于连接的凸形物时，也不会有实际上的尺寸和布置的限制。

本发明的再一个目的，在于提供一种如上所说明的基座电路元件封装。为达到上述的目的，针对基座提供三种发明。

第一种发明，其特征在于基座包括一个具有外连端头的绝缘基



片, 和一个设置在绝缘基片上, 为了将安装在基座上的电路元件与所说外连端头相连的布线部分。该布线部分具有多个绝缘膜, 一个电极层设置在最高绝缘层上, 以连接电路元件, 一个电路元件层或多个层设置在不同于该最高绝缘层的绝缘层或多个层上, 并且具有以薄膜方法设置的电路元件, 和设置在该绝缘膜上, 为通过电路元件层或多个层, 把电极连接到外连端头上的导体。

第二种发明, 其特征在于基座包括一个具有外连端头的绝缘体基片和一个设置在绝缘体基片上为了将安装在基座上的电路元件与外连端头相连接的布线部分。该布线部分有多个绝缘膜, 一个设置在最高绝缘膜之上, 并具有用于连接电路元件的电极的电极层, 一个布线层, 设置在不是最高绝缘层的任何其他绝缘层上, 用来使电极层上电极配置与把电极连接到端头的外连端头相配合, 以及设置在绝缘层上的导体, 用以通过布线层把电极层连接到外连端头上。

第三种发明, 其特征在于, 基座包括一个具有外连端头的绝缘基片, 和一个用于把安装在基座上的电路元件与外连端头相连接, 设置在绝缘基片上的布线部分, 该布线部分有多个绝缘膜, 一个设置在最高绝缘层上用于连接电路元件的电极层, 一个设置在不同于最高绝缘层的绝缘层上, 且具有以薄膜形成的电路元件的电路元件层, 一个设置在电路元件层与电极层之间的布线层, 用来使电极层上电极配置与把电极连接到端头的外连端头相配合, 以及设置在绝缘层上的导体, 通过布线层把电极层连接到外连端头。

还设有一个电路元件封装, 其中 如上说明, 电路元件被安装在基座上, 用以连接到基座的电极层上。

另外还提供一种制造基座的方法。所说基座包括一个带有外连

端头的绝缘基片和一个用于把安装在基座上的电路元件与绝缘基片外连端头相连而制作在绝缘基片上的布线部分，该方法包括如下步骤：

制作布线部分，在绝缘基片上形成一绝缘膜；在绝缘膜上形成电路元件膜层；在电路元件膜层上形成另一绝缘膜层；在所说的另一绝缘膜层上形成一布线层，用来为达到其间连接的具有外连端绝缘膜形成头的绝缘基片的基座上安装着的电路元件相配合；在布线层上形成另一层绝缘膜；又在所说的加一电极层，用以与电路元件连接；以及制作与相应的绝缘膜相关连的通孔与布线导体。

按照本发明的基座，陶瓷基片最好为绝缘基片。绝缘基片设有通孔，使基片的上下两面相通。

薄膜电路元件可以是，例如薄膜电阻元件，它可以用作端接电阻。薄膜电阻元件可以用铬硅通过真空淀积制成。

绝缘膜最好由有机材料，如聚酰亚胺制作。

根据本发明的电路元件封装，最好是把电路元件安装在有薄膜电阻元件的基座上制成。在此情况下，薄膜电阻元件可用作端接电阻。

根据本发明的组装到电路元件封装中的电路元件可以是集成电路。尤其是大规模集成电路，如半导体LSI其中以高密度配置元件，将便于与有布线层的基座相连接。

按照本发明，绝缘膜形成在绝缘基片上，以构成薄膜电路元件诸如薄膜电阻元件之类。因此，将绝缘基片，如一种陶瓷基片的不平整或翘曲调平或弄平坦得在薄膜电路元件下设置绝缘膜层。这样一来，电路元件就可不受绝缘基片表面粗糙度的所不希望的影响。

由于这个原因，一种所需系数的电路元件，如电阻率可以精确地加以制造。结果，在电路元件成形后，就不再需要对电路元件或薄膜电阻元件作任何调整，如修整之类。

此种情况下，基座在绝缘层上有一布线层，当配合时，它连接用来与被安装在有绝缘基片外连端头的基座上的电路元件相连的电极层。因此，甚至当电路元件的端头布置不能对准绝缘基片的端头布置时，安装于基座上的电路元件的端头也能连接到用于外连的绝缘基片端头上。

此外，当安装于基座的电路元件中端头彼此排布很密时，通过布线层可以达到端头排布密集。所以当需要把有这种电路元件的电路封装组装到印刷电路板上时，连接作业能更易地加以处理。

而且，因高密度的端头排布可以化解为低密度端头排布，且端头排布可通过布线层彼此配合，所以，信号或电源可自由改变，允许更自由地设计电路。这些都是使得制作在电路元件层上的电路元件的图案或尺寸能更方便地加以确定。

图1是表示本发明基座的一种结构及采用基座的一种电路元件封装的截面图，以及

图2是沿基座截面上线II - II的导体部分与电阻部分的图案。

现在将参照附图描述本发明的一个实施例。

图1按截面图示本实施例的基座结构。

如图所示的基座包括一陶瓷基片6及制作在陶瓷基片6上的薄膜布线部分4。

陶瓷基片6，例如由含铝土的陶瓷粉末为主要材料加工成形。成形的陶瓷基片6有通孔7并备有端头10到13。当陶瓷基片6安装到

一印刷电路板(未示出)上时,端头10到13用作连接。陶瓷基片6还可以设有电源层或多层和/或一接地层或多层。

端头10用作电阻元件8的一公共电极端,对此将在后详述。各个端头11用作电阻元件8的一个电极端头。端头12是常用的电源端头,而端头13乃是基座上安装了的大规模集成电路(LSI)的一般信号脚针。实施例中如图所示,端头10既可用作LSI的专用电源端头,也可用作如上所述电阻元件的电极。当然,分立的端头可以分别提供这些功用。

由各绝缘层组成的薄膜布线部分4包括绝缘膜层9a, 9b和9c,自底下按此顺序制备。一电阻层15制作在绝缘层9a和9b之间,用来形成电阻元件8。同样,一布线层14制作在绝缘膜9b和9c之间,用以形成导体线12。绝缘膜9c的上面设置一上连接层3a,用以连接安置在层3a上面的电路元件。绝缘膜9a构成薄膜布线部分4的最下层。在其下面,有一下连接层3b。在对应于陶瓷基片6的端头10到13处形成,分别与这些端头10到13相连接。

绝缘膜9a, 9b和9c的材料并非关键。它们可以用任何材料制造,只要这种材料能嵌平或弄平坦陶瓷基片6的表面即可。作为参考在本实施例中,绝缘膜9a, 9b和9c是由一种有机材料,如聚酰亚胺树脂制造。各层材料可以不同,但是,这些绝缘层9a, 9b和9c的材料最好由相同或类似的材料制做,以减小层间可能出现的热应力。在该膜层上形成电阻层,而对电阻元件来说,该膜层起衬底的作用,故该膜层最好由热膨胀系数既近似于陶瓷基片的热膨胀系数,又接近电阻元件的热膨胀系数的材料制造。一种热膨胀系数居两者热膨胀系数之间的材料为最优。

电阻层15、布线层4、上连接层3a及下连接层3b都通过导体线5a和通孔5b相互连接，并连接到陶瓷基片6的通孔7。通过蚀刻在绝缘膜层9a，9b和9c上成孔，又用导体填充该孔而制成通孔5b。

如图2所示，由薄膜做成电阻元件8，并加工成环形。环的内周与外沿分别被连到电极。当然，电阻元件8的形状不限于环形，可以做成其他形状。

虽然在所示的实施例中，电阻元件作为电路元件而设置，但可更改或添加成其他电路元件类型。例如，可设置电容器。此时，电路元件，如端接的电阻器就不需要，即可省去电阻元件8。

图2表示一电阻层15的平面，如图所示。电阻层15含有许多电阻元件8和导体5a，以及也起电阻元件8的电极作用的通孔5b。

在所示的实施例中，如前所述设置一布线层14。该布线层14是为实现调整准备的。它关系到设置在上连接层3a起电极层作用，用以与安装在连接层3a及下连接层3b上的电路元件相连，以达到上连接层3a与下连接层3b间配合的端头排列或布置的不同。在所示的实施例中，布线层14把上连接层3a的高密度端头排列扩大成适于下连接层3b的一种端头安排。所以，如果两个连接层间的端头排列没有很大不同时，就可省去布线层14。或者可按需要设置许多布线层。所示实施例中，布线层14设置在电阻层15之上。

上连接层3a有一端接装置，与制作在待安装在布线部分4上的LSI的凸形或球状装置相对应。下连接层3b也有一端接装置，与陶瓷基片6的端头10到13的装置相对应。

集成电路元件，即LSI1被安装在薄膜布线部分4上。LSI1分别用它的凸形物(未示出)安置在上连接层3a的端头上来装配，并由焊

料2焊接。这样，就制成了电路元件封装或LSI封装。

现在将详述基座的结构，同时论及其制造方法。

陶瓷基片6用现有方法制作。例如，制成一种陶瓷粉末的悬浮液或稀浆和媒料液，并且通过流平或刮浆刀经悬浮液铸成薄片。干燥后，把片切成应有的尺寸、机械冲出通孔和空腔、形成导线路径，以及用金属填充这些通孔，把几个这种片叠起来，并绕制成整体结构，以形成用做陶瓷基片的单块烧结体。在制造过程中，在陶瓷基片6上形成端头10到13。薄膜布线部分4则制作在陶瓷基片6上。

在薄膜导线部分4内，按从下向上依次重叠为下连接层3b，绝缘膜层9a、电阻层15、绝缘膜层9b，布线层14、绝缘膜层9c和上连接层3a。

下连接层3b制作在陶瓷基片6上。位于通孔7的开口处，通孔分别连接到端头10至13。当陶瓷基片6的通孔填充导电材料时，即可以形成层3b。

各绝缘膜9a、9b和9c用含聚酰亚胺的挥发液，并进行干燥以及烘干形成。各绝缘膜层9a、9b和9c都备有导体5a和通孔5b。绝缘膜层9a、9b和9c各都经受蚀刻以在其中形成孔或空腔，再在孔或空腔中填上导电材料，以形成导体5a和通孔5b。经金属化或电镀敷设导电材料。

首先制作绝缘膜层9a。尽可能厚地形成绝缘膜层9a，使之能填满陶瓷基片6表面上的凹坑或凹凸不平，以形成平滑表面。绝缘膜层9a具有尽可能平滑的表面，足以满足在绝缘膜9a上制成高精度的电阻元件8。例如，绝缘膜9a厚度为10到30 $\mu\text{m}$ 。

在绝缘膜9a的上表面上设置电阻层15。在该层上用现有的方法

形成电阻元件8，现有方法诸如真空淀积、溅射，或类似方法。电阻元件8由电阻材料，如Cr、Cr合金陶瓷，或类似物制作。通过掩膜版进行真空淀积或压淀积后进行光刻，加工成形为所希望图案的电阻元件8。电阻元件8的厚度决定于所用的电阻材料的电阻率及构成电阻元件的图形。其厚度，例如0.05到30  $\mu\text{m}$ 。

按膜层9a所表述的方法，将绝缘膜层9b制作在电阻层15上。

布线层14制作在绝缘层9b上。布线层14的导体5a由铝制造。按电阻层15所描述的相同方法，如采用真空淀积等，形成布线层14的导体5a。在该步骤中，为获得所需的布线导体图形，可采用掩蔽装置。另一种办法，首先形成导体薄膜，然后，例如经光刻制成图形。

布线层14形成之后，如前描述的类似方法，可形成绝缘膜层9c。

上连接层3a形成在绝缘膜层9c上。连接层3a的导体是由金属施加于布线层14和上连接层3a之间形成的通孔5b上制成的。因此，层3a的导体可同时用金属填入通孔5b中制成。换一种方法，电极可以和通孔5b分别形成，再连接到通孔5b。

本实施例的基座就是这样制造的，并且LSI1可以安装于基座之上，提供一种LSI封装。为与LSI1相连接，将高熔点焊料球2附加于上连接层3a，而把LSI1分别用其置于相应的焊接球2上的凸形物（未示出）放置在连接层3a上，接着，融化该焊球2以实现所需的连接。

把如此制造的LSI封装，例如安装在印刷电路板上，可用熔点低于焊球2的焊料将陶瓷基片6的端头10到13与印刷电路板相连接。

如上所述，将绝缘膜层9a设置于陶瓷基片6上，而电阻元件8则形成在绝缘膜层9a上。由于这种安排，陶瓷基片6表面的凹凸不平因绝缘膜层9a得以平整。由此，可以精确的形成电阻元件8。

设置在电阻层15和上连接层3a之间的布线层14存在着下列优点。

第一，起界面装置的作用，用以调合陶瓷基片端头的排布和安装在陶瓷基片上的集成电路元件端头的排布。

第二，电阻元件能不受制做元件的位置和面积的限制，此种限制可能导致集成电路元件端头和端接电阻元件的引线出现集中。由于本安排，许多电阻元件可按所希望的布置与尺寸设置，而不会损害集成电路元件的输入和/或输出功能。

第三，如上所述，由于布线层的界面作用，有将大规模集成电路中高密度配置端头的排布转变为以减低了的密度配置来排布端头。因此，便于实现与印刷电路板的连接。另外，因为封装的尺寸本身变大，使封装处理则较容易。

虽然前面已就LSI基座及如图示所采用的LSI封装描述了发明，但本发明不限于此。

如前所给出的实施例的绝缘薄膜由聚酰亚胺制造，但也可由别的材料制作，最好为一种有机材料。

虽然如所示的实施例中，设有电阻层和导线层两者，但当只需两者之一的功用时，就不必如此。



图 1

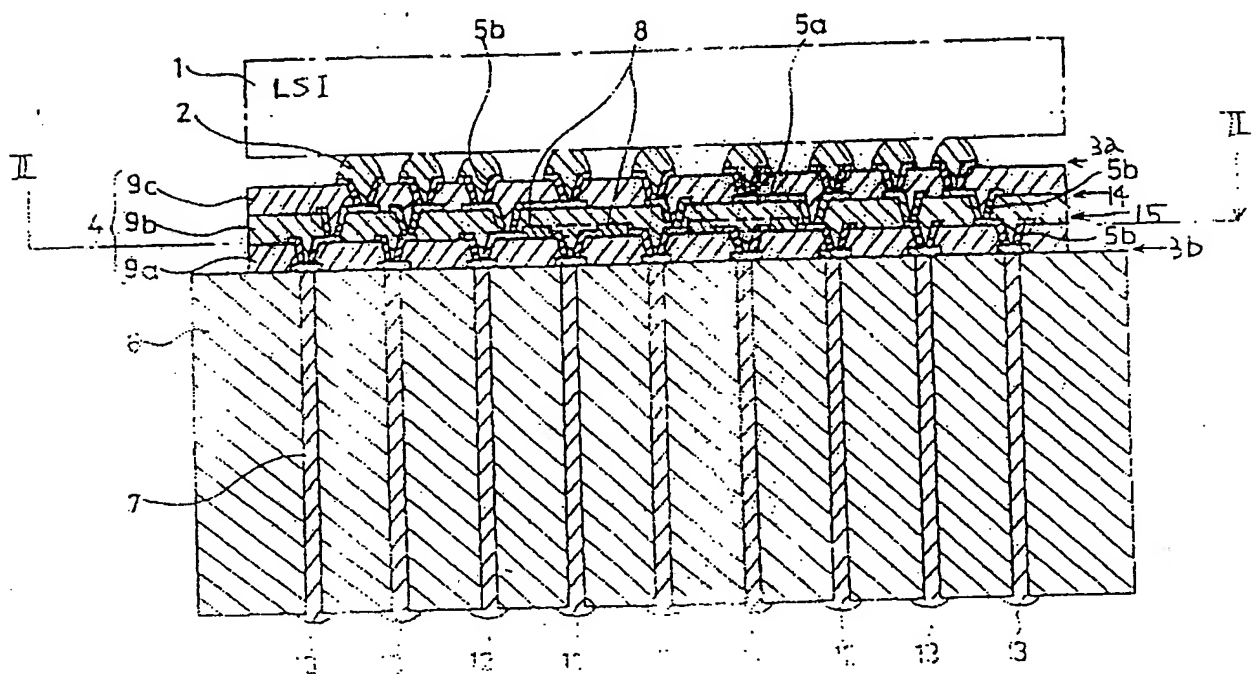


图 2

